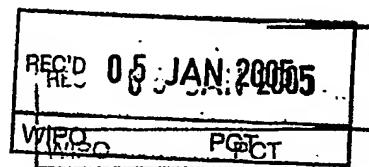


# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 50 168.1

Anmeldetag: 28. Oktober 2003

Anmelder/Inhaber: Infineon Technologies AG, 81669 München/DE

Bezeichnung: Speicheranordnung und Verfahren zum Betreiben  
einer solchen

IPC: G 11 C 7/24

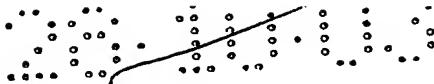
Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-  
sprünglichen Unterlagen dieser Patentanmeldung.

München, den 6. Dezember 2004  
Deutsches Patent- und Markenamt  
Der Präsident  
im Auftrag

Agurks

**PRIORITY DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

**BEST AVAILABLE COPY**



# MÜLLER • HOFFMANN & PARTNER – PATENTANWÄLTE

European Patent Attorneys – European Trademark Attorneys

Innere Wiener Strasse 17  
D-81667 München

Anwaltsakte:	12793	Ko/Ke/mk
Anmelderzeichen:	2003 P 52993 DE (2003 E 52991 DE)	28.10.2003

## Infineon Technologies AG

St.-Martin-Straße 53  
81669 München

---

**Speicheranordnung und Verfahren zum Betreiben einer solchen**

---

---

Zusammenfassung

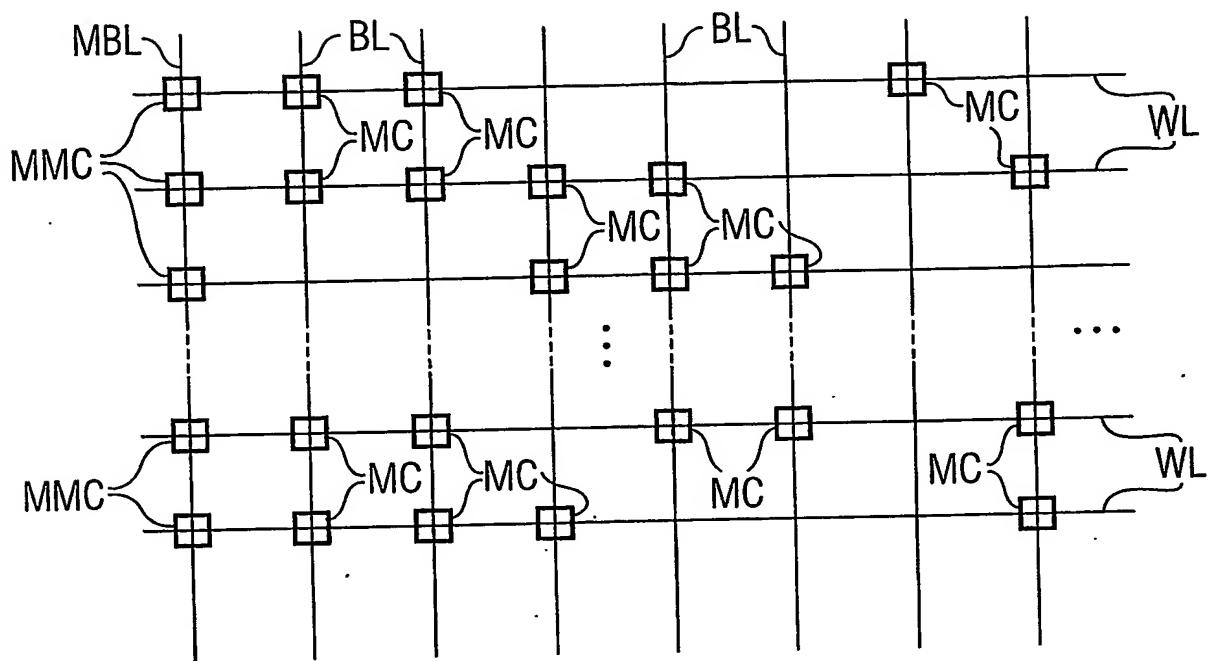
Speicheranordnung und Verfahren zum Betreiben einer solchen

- 5 Bei der erfindungsgemäßen Speicheranordnung sind an Kreuzungen von Wortleitungen (WL) mit Bitleitungen (BL) wieder beschreibbare Speicherzellen (MC) angeordnet, die so ausgestaltet sind, dass ein Auslesen der in ihnen gespeicherten Informationen im Wesentlichen zerstörungsfrei erfolgt. Erfindungsgemäß weist die Speicheranordnung entweder je Wortleitung (WL) oder je Bitleitung (BL) eine Merkerzelle (MMC) auf, in der eine Information hinterlegbar ist, die anzeigt, ob wenigstens eine der Speicherzellen (MC) entweder entlang der jeweiligen Wortleitung (WL) oder entlang der jeweiligen Bitleitung (BL) seit Auftreten eines Grundzustands einem Lesevorgang unterzogen worden ist.
- 15

(Fig. 1)

## Figur für die Zusammenfassung

FIG 1



---

Speicheranordnung und Verfahren zum Betreiben einer solchen

Die vorliegende Erfindung betrifft eine Speicheranordnung nach dem Oberbegriff des Patentanspruchs 1 sowie ein Verfahren zum Betreiben einer Speicheranordnung.

Gattungsgemäße Speicheranordnungen sind z. B. bekannt als Halbleiterspeicherbausteine vom SRAM-Typ oder von einem der verschiedenen, wieder beschreibbaren ROM-Typen wie EAROM, EPROM, EEPROM, Flash-Speicher etc.. All diesen Bausteintypen, die ja als wesentliche Bauteile halbleitende Materialien wie z. B. Silizium enthalten, ist gemeinsam, dass ein Auslesen der in ihnen gespeicherten Information zerstörungsfrei erfolgt, d. h., die in ihnen gespeicherte Information bleibt 15 auch beim Auslesen in ihnen erhalten (im Gegensatz dazu erfolgt das Auslesen von gespeicherter Information aus DRAM-Speicheranordnungen zerstörend, was zur Folge hat, dass die ausgelesene Information unmittelbar nach ihrem Auslesen wieder in die betroffenen Speicherzellen zurückzuschreiben ist).

20 Im Zuge der fortschreitenden Verkleinerung der Strukturen von integrierten Schaltungen, und somit auch im Zuge der fortschreitenden Verkleinerung der Strukturen von gattungsgemäßen Speicheranordnungen, wird neuerdings versucht, Speicheranordnungen zu schaffen, deren Speichermechanismus nicht mehr auf den von Halbleiterspeichern her bekannten Speichermechanismen beruht, sondern auf anderen. Beispiele für solche andere, bereits allgemein bekannte Speichermechanismen sind z. B. der ferroelektrische Typ (z. B. FeRAM) und der magnetische Typ 25 (z. B. MRAM). Darüber hinaus wird aber auch an heute noch weitgehend unbekannten Speichertypen geforscht: beispielsweise stand im Internet am 13. Oktober 2003 Teil 2 des Artikels „Die Zukunft des Speichers“ der Allgemeinheit zur Kenntnisnahme zur Verfügung, auffindbar anhand der Adresse 30 „[www.elektroniknet.de/topics/bauelemente/fachthemen/2002/020223](http://www.elektroniknet.de/topics/bauelemente/fachthemen/2002/020223)“

Darin wurde auf Polymer-basierte FeRAMs und auf ein „Ovionics Unified Memory OUM“ als künftige, neue Speichertechnologien hingewiesen. Weiterhin wurde in der Zeitschrift „Elettronica Oggi 316“, Ausgabe Ottobre 2002, auf den Seiten 118 bis 123

- 5 ein neuer Speichermechanismus mit Zukunftschancen vorgestellt, nämlich ein elektrochemischer Speicher in PMC-Technologie (PMC = Programmable Metallization Cell). Bei wenigstens einem Teil dieser Speichermechanismen ist jedoch zu erwarten, dass bei entsprechend aufgebauten Speicheranordnungen Lesevorgänge zwar weitgehend zerstörungsfrei erfolgen können, dass sich jedoch ein durch das Auslesen verursachtes gewisses Ausmaß an (quantitativem) Verringern der in den betroffenen Speicherzellen enthaltenen Informationen nicht vermeiden lässt. Infolge davon wird bei mehrmaligem Auslesen aus 15 ein- und derselben Speicherzelle die in dieser Speicherzelle gespeicherte Information, auch wenn sie digitalen Charakter hat, quantitativ abnehmen, was im Allgemeinen als Degradation bezeichnet wird. Damit lässt sich absehen, dass nach häufigem Auslesen die in einer solchen Speicherzelle enthaltene Informationsmenge insgesamt dann soweit abgesunken sein wird, dass diese Information bei weiteren Auslesevorgängen von einer Bewertungseinrichtung nicht mehr von einer Information mit dem 20 entgegengesetzten logischen Inhalt unterscheidbar sein wird, so dass sich Lesefehler einstellen.

- 25 Eine technisch naheliegende und einfach realisierbare Lösung dieses Problems könnte darin liegen, dass jeder Lesevorgang so ausgestaltet wird, das sich an ihn unmittelbar darauf ein Wiedereinschreibvorgang anschließt mit dem Ergebnis, dass eine so aus einer Speicherzelle ausgelesene Information unmittelbar darauf wieder in dieselbe Speicherzelle zurückgeschrieben wird, so dass sie aufgrund der damit verbundenen Signalverstärkung dort, quantitativ betrachtet, wieder in vollem Umfang für weitere Lesevorgänge zur Verfügung steht.
- 30 Solche Speicheranordnungen wären also entsprechend den all-

seits bekannten DRAM-Halbleiterspeichern zu gestalten und zu betreiben. Allerdings ist wohl auch einleuchtend, dass ein Wiedereinschreiben wie vorstehend beschrieben Zeit benötigt, welche wiederum den Betrieb entsprechender Speicheranordnungen in einem Umfang verlangsamen würde, der vom Anwender als inakzeptabel empfunden wird.

Aufgabe der vorliegenden Erfindung ist es deshalb, gattungsgemäße Speicheranordnungen so auszustalten, dass ein durch mehrmaliges Auslesen der Information verursachtes quantitatives Absinken von in einer Speicherzelle gespeicherten Information wenigstens soweit unterbunden ist, dass durch weiteres Auslesen keine Lesefehler entstehen können. Aufgabe ist es weiterhin, ein entsprechendes Betriebsverfahren anzugeben.

15

Diese Aufgabe wird bei einer gattungsgemäßen Speicheranordnung gelöst durch die kennzeichnenden Merkmale des Patentanspruchs 1 sowie bei einem entsprechenden Betriebsverfahren mit den Merkmalen des Patentanspruchs 8. Vorteilhafte Aus- und Weiterbildungen sind in Unteransprüchen gekennzeichnet.

20

Die Erfindung wird nachstehend anhand einer Zeichnung näher erläutert. Dabei zeigen die Figuren 1 bis 3 verschiedene Ausführungsformen der vorliegenden Erfindung.

25

Figur 1 zeigt ausschnittsweise eine erste Ausführungsform der vorliegenden Erfindung. Sie ist angenommenermaßen in einem einzelnen Speicherbaustein realisiert. Diese Ausführungsform weist, wie allgemein üblich, wieder beschreibbare Speicherzellen MC auf, die entlang von Wortleitungen WL und von Bitleitungen BL angeordnet sind, nämlich an Kreuzungen der Wortleitungen WL mit den Bitleitungen BL. Die Speicherzellen MC sind von einem Typ, bei dem ein Auslesen der in ihnen gespeicherten Information weitgehend zerstörungsfrei erfolgt. Bei heute üblichen Speicheranordnungen können dies also bei-

30

35

spielsweise Halbleiterspeicher von den vorgenannten ROM-Typen oder vom statischen RAM-Typ (SRAM) sein. Es können aber auch Speicheranordnungen mit Speichermaterialien und Speicherprinzipien sein, die erst in der Zukunft wirtschaftliche Bedeutung erlangen werden. Als Beispiel hierfür seien, stellvertretend für andere Möglichkeiten der Speicherung von Information, Speicheranordnungen genannt, deren Speicherprinzip darauf beruht, dass ein Festkörperelektrolyt bei Anlegen einer geeigneten Spannung Metall-Ionen zum Wandern innerhalb eines ansonsten isolierenden Elektrolyten veranlasst, so dass sich ein, je nachdem, ob dabei ein metallisch leitender Pfad ausgebildet wird oder nicht, unterschiedlicher Widerstandswert des Festkörperelektrolyten ergibt, welcher als Synonym für die Art der gespeicherten Information gilt ("log. 0" bzw. "log. 1").

Erfindungsgemäß ist nun bei dieser ersten Ausführungsform vorgesehen, dass entlang jeder Wortleitung WL noch eine zusätzliche Speicherzelle, nämlich eine sogenannte Merkerzelle MMC angeordnet ist. Diese ist vorzugsweise vom selben Speicherzellentyp wie die Speicherzellen MC. Insbesondere sollte sie ebenfalls von der Art sein, dass eine in ihr gespeicherte Information weitgehend zerstörungsfrei auslesbar ist. Vor teilhaft ist es dabei auch, wenn sie eine Speicherzelle vom nicht-flüchtigen Typ ist, so dass in ihr gespeicherte Information auch bei Abschalten der Versorgungsspannung erhalten bleibt. Die Merkerzellen MMC sind über die jeweiligen Wortleitungen WL und über eine Merkerbitleitung MBL adressierbar.

Bei erstmaliger Inbetriebnahme oder auch nach einem Rücksetzvorgang (wird noch beschrieben) weisen diese Merkerzellen MMC einen gegebenen Grundzustand auf, d. h., eine vorbestimmte Art von Information ist als Standardwert gespeichert (entweder "log. 0" oder "log. 1"). Wann immer nun beim anschließen den Betreiben der Speicheranordnung ein Lesezugriff auf eine

Speicherzelle MC erfolgt, wird erfindungsgemäß in derjenigen Merkerzelle MMC, welche an derselben Wortleitung WL wie die zum Lesen adressierte Speicherzelle MC liegt, eine Information eingeschrieben, die komplementär ist zum vorgenannten 5 Standardwert. Somit spiegelt der Inhalt einer jeden Merkerzelle MMC, d. h., die in ihr gespeicherte Information, stets wider, ob auf wenigstens eine der Speicherzellen MC, die entlang der der betrachteten Merkerzelle MMC zugehörigen Wortleitung WL angeordnet sind, wenigstens einmal lesend zugegriffen worden ist.

Bei dem erfindungsgemäßen Verfahren ist nun vorgesehen, dass Speicherzellen MC, die entlang einer solchen Wortleitung WL angeordnet sind, deren zugehörige Merkerzelle MMC einen Speicherinhalt aufweist (ist durch Auslesen der in der Merkerzelle MMC gespeicherten Information ermittelbar), der komplementär zum Standardwert ist, (gelegentlich) einem Refresh-Vorgang unterzogen werden. Bei einem Refresh-Vorgang, welcher als solcher ja vom Betrieb dynamischer Halbleiterspeicher 15 (DRAM) her bekannt ist, wird bekanntlich in den zu refreshenden Speicherzellen gespeicherte Information ausgelesen und (meist noch im selben Lesezyklus) wieder in die betroffenen Speicherzellen zurückgeschrieben, wobei die diese Informationen repräsentierenden Signale üblicherweise auch noch mittels 20 der den zu refreshenden Speicherzellen zugeordneten Leseverstärkern auf ihren ursprünglichen Wert verstärkt werden. 25

Dieser Effekt, dass bei einem Refresh-Vorgang eine (signalmäßig verstärkte) Information zurück geschrieben wird, wird hier in vorteilhafter Weise dazu ausgenutzt, dass eine in den Speicherzellen MC gespeicherte Information, die zwar einerseits als solche weitgehend zerstörungsfrei ausgelesen werden kann, die jedoch bei mehrfachem Auslesen trotzdem eine gewisse Degradation erfahren hat, wieder auf ihren (quantitativ 30 betrachtet) ursprünglichen Wert zurückgebracht werden kann. 35

Somit kann vermieden werden, dass die gespeicherte Information, die ja angenommenermaßen mit jedem Lesevorgang mengenmäßig etwas abnimmt, nach häufigem Auslesen irgendwann mengenmäßig so gering wird, dass sie vom zugehörigen Leseverstärker, der ja üblicherweise als Differenzverstärker ausgestaltet ist, nicht mehr als solche erkannt werden kann, so dass ein Lesefehler entsteht.

Der Umstand, dass ein solcher Refresh-Vorgang nur gelegentlich stattfindet, bietet den Vorteil, dass dafür wesentlich weniger Zeit und Energie aufzuwenden ist als wenn nach jedem Lesevorgang, wie eingangs bereits als theoretische Möglichkeit beschrieben, ein Zurückschreiben der ausgelesenen Information erfolgen würde. Der deutlich geringere Energieaufwand beruht darüber hinaus auch darauf, dass dem Refresh-Vorgang nur die Speicherzellen MC entlang solcher Wortleitungen WL unterzogen werden, entlang denen zuvor der Inhalt von Speicherzellen MC auch tatsächlich ausgelesen worden war, was im Unterschied steht zu den generell, das heißt, zwangsläufig stattfindenden Refresh-Vorgängen bei den dynamischen Halbleiterspeichern (DRAM). Diese Vorteile treffen, analog, auch auf das weitere, später noch zu beschreibende Betriebsverfahren zu.

Bei diesem (wie auch bei dem nachfolgend noch zu beschreibenden) Betriebsverfahren ist es vorteilhaft, die in den Refresh-Vorgang anstoßenden Merkerzellen MMC gespeicherte Information während des Refresh-Vorgangs oder anschließend daran auf den vorgenannten Standardwert zurückzusetzen. Weiterhin ist es günstig, das Durchführen eines Refresh-Vorgangs von einem weiteren eintretenden Ereignis oder Kriterium abhängig zu machen. Ein solches Kriterium kann z. B. ein der Speicheranordnung zugeführtes Signal sein, welches anzeigt, dass sich eine Steuerschaltung, gegebenenfalls auch ein Prozessor, an welche die erfundungsgemäße Speicheranordnung an-

geschlossen ist, gerade im Ruhezustand befindet. In einem solchen Fall verursacht der Refresh-Vorgang keinerlei Zeitverlust, da die Speicheranordnung in diesem Zeitraum ansonsten nicht aktiv betrieben würde. Andere Kriterien können auch 5 sein (diese Aufzählung ist nur beispielhaft, nicht abschließend) das Einschalten eines Geräts, in dem die erfindungsgemäße Speicheranordnung enthalten ist, wobei durch das Einschalten ein spezielles, allgemein als "Power-On-Signal" bezeichnetes Signal entsteht, welches unmittelbar oder mittelbar der erfindungsgemäßen Speicheranordnung zugeführt wird, 10 oder das Durchführen eines Ladevorgangs eines Geräts, welches die erfindungsgemäße Speicheranordnung enthält. Im letzteren Fall kann z. B. aus der Tatsache des Fließens eines Ladestroms ein Signal abgeleitet werden, welches dann den 15 Refresh-Vorgang auslöst.

Figur 2 zeigt eine weitere vorteilhafte Ausführungsform der vorliegenden Erfindung: Dabei sind die von der ersten Ausführungsform her bereits prinzipiell bekannten Merkerzellen MMC entlang den Bitleitungen BL angeordnet. Die Merkerzellen MMC 20 sind hier über die jeweilige Bitleitung BL und über eine der jeweiligen Merkerzelle MMC zugeordnete Merkerwortleitung MWL adressierbar. Funktion dieser Merkerzellen MMC und zugehöriges Betriebsverfahren entsprechen dem bereits vorhergehend beschriebenen mit der Maßgabe, dass hier ein Refresh-Vorgang 25 nur bezüglich solcher Speicherzellen MC durchgeführt wird, die entlang einer solchen Bitleitung BL angeordnet sind, bezüglich derer zuvor Speicherzellen MC ausgelesen worden waren. Auch das Einschreiben von Information in eine Merkerzelle MMC, ob ein Lesevorgang durchgeführt worden ist, erfolgt 30 nur bezüglich solcher Speicherzellen MC, die entlang der jeweiligen Merkerzelle MC zugehörigen Bitleitung BL angeordnet sind.

Figur 3 zeigt eine dritte Ausführungsform der vorliegenden Erfindung. Dabei ist die erfindungsgemäße Speicheranordnung durch eine Mehrzahl von Speicherbausteinen MEM realisiert, die einander funktionell zugeordnet sind. Dies ist z. B. bei den als solche allgemein bekannten Speichermodulen der Fall.

5 In Figur 3 ist ein solches Speichermodul dargestellt. Speichermodule werden üblicherweise mittels Steuerschaltungen, häufig Controller genannt, angesteuert (hier nicht dargestellt). Diese Steuerschaltungen können z. B. die vorgenannten Signale, die, allgemein als "weiteres Ereignis" bezeichnetenbar, das Durchführen von Refresh-Vorgängen als solches auslösen, erzeugen und an die jeweils angeschlossenen Speicherbausteine MEM abgeben. Bei dieser Ausführungsform ist auch anhand eines einzelnen Speicherbausteins MEM, der symbolisch mittels einer Lupe vergrößert gezeigt ist, dargestellt, dass die einzelnen Speicherbausteine MEM über ihr Speicherzellenfeld MCF hinaus eine so genannte Refrescheinrichtung Refr enthalten können, welche einen konkret gewünschten Refresh-Vorgang einleitet und durchführt. Auch die Speicheranordnungen nach den ersten beiden Ausführungsformen der vorliegenden Erfindung, in denen die Speicheranordnung gleich einem Speicherbaustein MEM ist, können eine solche Refrescheinrichtung Refr aufweisen. Es ist allerdings auch vorstellbar, dass eine solche Refrescheinrichtung Refr außerhalb der Speicheranordnung, z. B. innerhalb der vorgenannten Steuerschaltung, angeordnet ist.

15

20

25

300-300-00

Infineon Technologies AG  
2003 P 52993 DE  
2003 E 52991 DE

12793

---

Bezugszeichenliste

BL, WL	Bit-, Wortleitung
MC	Speicherzelle
MMC	Merkerzelle
MBL, MWL	Merkerbit-, Merkerwortleitung
MCF	Speicherzellenfeld
MEM	Speicherbaustein
Refr	Refresh-Einrichtung

Patentansprüche

1. Speicheranordnung mit wieder beschreibbaren Speicherzellen (MC), die an Kreuzungen von Wortleitungen (WL) mit Bitleitungen (BL) angeordnet sind, bei der die Speicherzellen (MC) so ausgestaltet sind, dass ein Auslesen der in den Speicherzellen (MC) gespeicherten Informationen im Wesentlichen zerstörungsfrei erfolgt,  
dadurch gekennzeichnet,  
dass die Speicheranordnung entweder je Wortleitung (WL) oder je Bitleitung (BL) eine Merkerzelle (MMC) aufweist, in der eine Information hinterlegbar ist, die anzeigt, ob wenigstens eine der Speicherzellen (MC) entweder entlang der jeweiligen Wortleitung (WL) oder entlang der jeweiligen Bitleitung (BL) seit Auftreten eines Grundzustands einem Lesevorgang unterzogen worden ist.
2. Speicheranordnung nach Anspruch 1,  
dadurch gekennzeichnet,  
dass die Merkerzellen (MMC) vom selben Speicherzellentyp wie die Speicherzellen (MC) sind.
3. Speicheranordnung nach Anspruch 1 oder 2,  
dadurch gekennzeichnet,  
dass die Merkerzellen (MMC) von einem Speicherzellentyp sind, bei dem ein Auslesen der gespeicherten Information zerstörungsfrei erfolgen kann.
4. Speicheranordnung nach einem der vorhergehenden Ansprüche,  
dadurch gekennzeichnet,  
dass die Merkerzellen (MMC) vom nicht-flüchtigen Typ sind.

5. Speicheranordnung nach einem der vorhergehenden Ansprüche,  
dadurch gekennzeichnet,  
dass die Speicheranordnung ein einzelner Speicherbaustein  
5 (MEM) ist.

6. Speicheranordnung nach einem der vorhergehenden Ansprüche,  
dadurch gekennzeichnet,  
dass die Speicheranordnung eine Mehrzahl von einander zugeordneten Speicherbausteinen (MEM) ist.

7. Speicheranordnung nach einem der vorhergehenden Ansprüche,  
dadurch gekennzeichnet,  
dass die Speicheranordnung eine Refrescheinrichtung (Refr)  
15 aufweist zum Durchführen eines Refreshvorgangs.

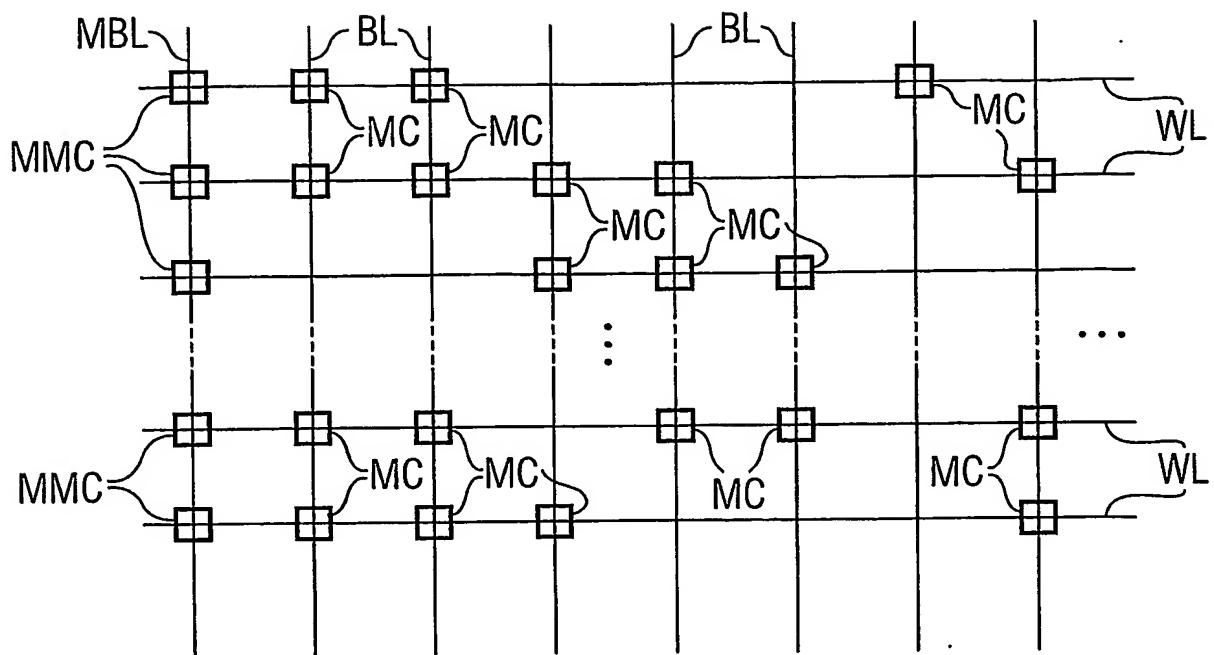
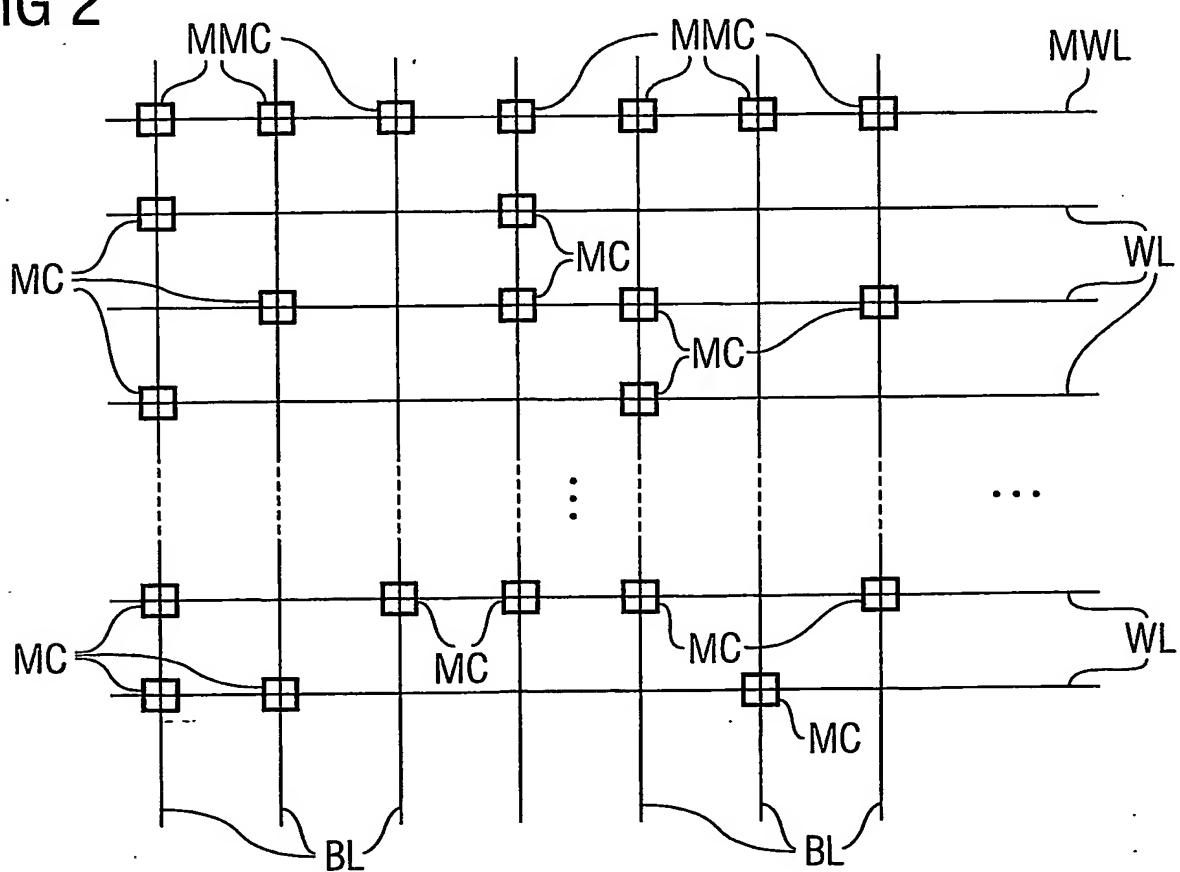
8. Verfahren zum Betreiben einer Speicheranordnung, welche  
20 wieder beschreibbare Speicherzellen (MC) aufweist, die an Kreuzungen von Wortleitungen (WL) mit Bitleitungen (BL) angeordnet sind, bei der die Speicherzellen (MC) so ausgestaltet sind, dass ein Auslesen der in den Speicherzellen (MC) gespeicherten Informationen im Wesentlichen zerstörungsfrei erfolgt,  
25 dadurch gekennzeichnet,  
dass diejenigen Speicherzellen (MC) einem Refreshvorgang unterzogen werden, die entweder entlang einer solchen Wortleitung (WL) oder entlang einer solchen Bitleitung (BL) angeordnet sind, entlang deren zuvor wenigstens ein Lesevorgang stattgefunden hat.

9. Verfahren nach Anspruch 8,  
dadurch gekennzeichnet,

dass das Auftreten eines Lesevorgangs als solches als Information in einer Merkerzelle (MMC) gespeichert wird, die entweder entlang einer vom Lesevorgang betroffenen Wortleitung (WL) oder entlang einer vom Lesevorgang betroffenen Bitleitung (BL) angeordnet ist.

5 10. Verfahren nach Anspruch 8 oder 9,  
dadurch gekennzeichnet,  
dass im Zuge des Durchführens des Refreshvorgangs die in den betroffenen Merkerzellen (MMC) gespeicherte Information auf einen Standardwert zurückgesetzt wird.

10 11. Verfahren nach einem der Ansprüche 8 bis 10,  
dadurch gekennzeichnet,  
15 dass das Durchführen des Refreshvorgangs durch ein weiteres, gegebenes Ereignis ausgelöst wird.

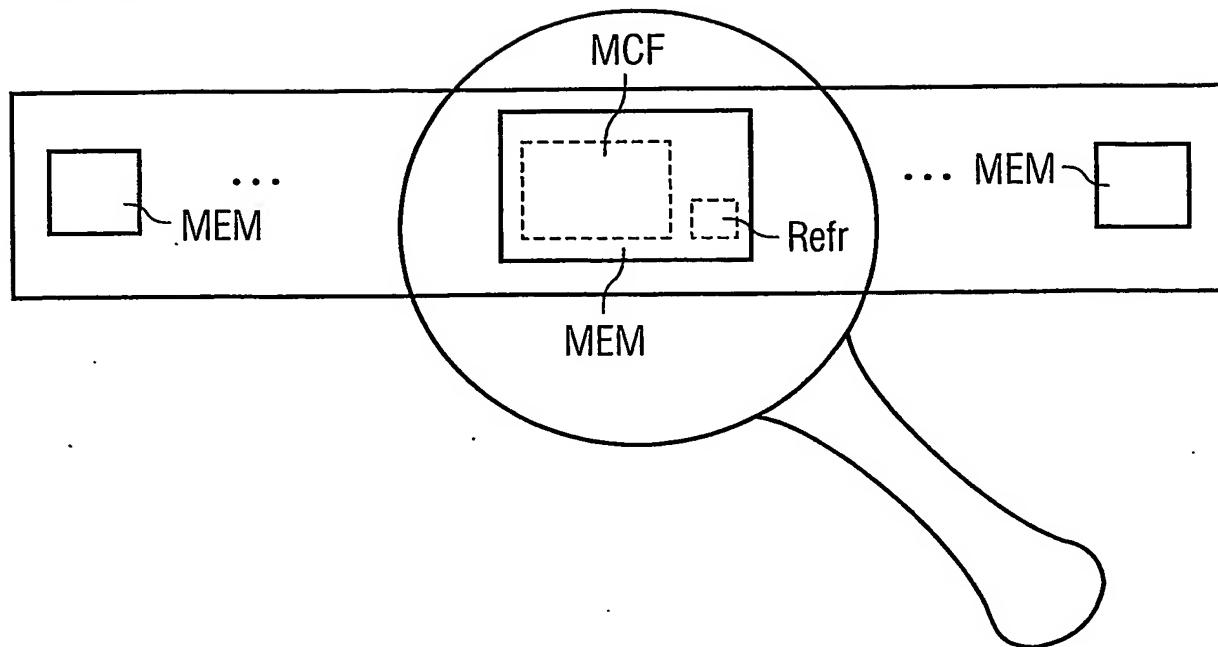
**FIG 1****FIG 2**

200352993

28. JUL. 03

2/2

FIG 3



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record.**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

**BLACK BORDERS**

**IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

**FADED TEXT OR DRAWING**

**BLURRED OR ILLEGIBLE TEXT OR DRAWING**

**SKEWED/SLANTED IMAGES**

**COLOR OR BLACK AND WHITE PHOTOGRAPHS**

**GRAY SCALE DOCUMENTS**

**LINES OR MARKS ON ORIGINAL DOCUMENT**

**REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

**OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**